

Docket No.: SON-2937
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Kouji MARSUURA

Art Unit: N/A

Application No.: Not Yet Assigned

Filed: February 24, 2004

For: CLOCK EXTRACTING CIRCUIT AND
CLOCK EXTRACTING METHOD

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

MS Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

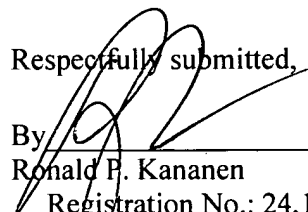
Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	P2003-079706	March 24, 2003

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: February 24, 2004

Respectfully submitted,

By 
Ronald P. Kananen
Registration No.: 24,104
(202) 955-3750
Attorneys for Applicant

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 3 月 2 4 日

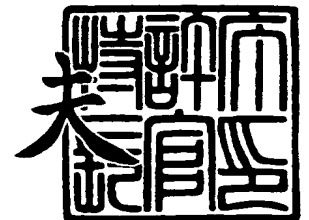
出 願 番 号
Application Number: 特 願 2 0 0 3 - 0 7 9 7 0 6
[ST. 10/C]: [J P 2 0 0 3 - 0 7 9 7 0 6]

出 願 人
Applicant(s): ソニー株式会社

2 0 0 4 年 1 月 2 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0390018502

【提出日】 平成15年 3月24日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 07/00

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 松浦 浩二

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100092152

【弁理士】

【氏名又は名称】 服部 毅巖

【電話番号】 0426-45-6644

【手数料の表示】

【予納台帳番号】 009874

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0010569

【ブルーフの要否】 要



【書類名】 明細書

【発明の名称】 クロック抽出回路およびクロック抽出方法

【特許請求の範囲】

【請求項 1】 入力された NRZ 方式のシリアルデータからこれに同期したクロック信号を抽出するクロック抽出回路において、

前記シリアルデータの $2N$ 倍（ただし、 N は 2 以上の整数）の周波数の基準クロック信号を用いて前記シリアルデータをオーバサンプリングするオーバサンプリング手段と、

前記オーバサンプリング手段からの出力信号レベルが変化しない期間において前記基準クロック信号の $2N$ 周期のタイミングを検出する第 1 のタイミング検出手段と、

前記オーバサンプリング手段からの出力信号レベルが変化したタイミングを検出する第 2 のタイミング検出手段と、

前記第 1 および第 2 のタイミング検出手段による各検出タイミングに応じてクロックタイミング信号を出力するクロックタイミング信号出力手段と、

を有することを特徴とするクロック抽出回路。

【請求項 2】 前記第 1 のタイミング検出手段は、

前記オーバサンプリング手段からの出力信号のレベル変化点において、前記基準クロック信号の N 周期幅のパルス信号を出力する第 1 のエッジ検出手段と、

前記第 1 のエッジ検出手段からの出力信号が第 1 のレベルから前記第 1 のレベルより低い第 2 のレベルへ遷移する時点から、前記出力信号が次に前記第 2 のレベルから前記第 1 のレベルへ遷移する時点までの期間に、前記基準クロック信号の N 周期ごとに極性を交互に反転させた信号を出力するトグル手段と、

を含み、

前記第 2 のタイミング検出手段は、

前記オーバサンプリング手段からの出力信号のレベル変化点において、前記基準クロック信号の 1 周期幅のパルス信号を出力する第 2 のエッジ検出手段と、

前記第 2 のエッジ検出手段からの出力信号を前記基準クロック信号の N 周期分だけ遅延させる遅延手段と、

を含むことを特徴とする請求項 1 記載のクロック抽出回路。

【請求項 3】 前記トグル手段は、前記第 1 のエッジ検出手段からの出力信号が前記第 1 のレベルであるとき、出力を前記第 2 のレベルとすることを特徴とする請求項 2 記載のクロック抽出回路。

【請求項 4】 前記クロックタイミング信号出力手段は、前記トグル手段および前記遅延手段からのそれぞれの出力信号の論理和を演算する論理演算手段を含むことを特徴とする請求項 2 記載のクロック抽出回路。

【請求項 5】 前記オーバサンプリング手段からの出力信号を前記基準クロック信号の $(N-1)$ 周期分だけ遅延させて、前記クロックタイミング信号に対応するデータとして出力するデータ出力手段をさらに有することを特徴とする請求項 2 記載のクロック抽出回路。

【請求項 6】 前記基準クロック信号を単相信号として発生させる位相同期ループ回路をさらに有することを特徴とする請求項 1 記載のクロック抽出回路。

【請求項 7】 入力された NRZ 方式のシリアルデータからこれに同期したクロック信号を抽出するクロック抽出方法において、

前記シリアルデータの $2N$ 倍（ただし、 N は 2 以上の整数）の周波数の基準クロック信号を用いて前記シリアルデータをオーバサンプリングし、

前記オーバサンプリングにより生成された信号のレベルが変化しない期間において検出した前記基準クロック信号の $2N$ 周期のタイミングと、前記オーバサンプリングにより生成された信号のレベルが変化したタイミングとに応じてクロックタイミング信号を生成する、

ことを特徴とするクロック抽出方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、入力された NRZ 方式のシリアルデータからこれに同期したクロック信号を抽出するクロック抽出回路およびクロック抽出方法に関する。

【0002】

【従来の技術】

近年では、大量のデータの高速度転送に対する要求が高まっており、数百Mbpsあるいは1Gbps以上といった転送速度を実現するシリアルデータインタフェースが注目されている。このようなインタフェース技術では、クロック信号成分を含まないデータのみが送信され、受信側では、入力データに同期するクロック信号を位相同期ループ（PLL：Phase Locked Loop）回路で生成し、生成したクロック信号を用いて入力データをラッチすることで受信する。

【0003】

このようなインタフェース技術においては、従来例えば、PLL回路からのクロック信号を基に、入力データに対して所定倍のオーバーサンプリングを行い、パラレルデータに展開した後、クロック信号を抽出する処理を行うようなクロック抽出装置が用いられていた（例えば、特許文献1参照）。

【0004】

図6は、従来のクロック抽出装置の構成例を示す図である。

図6に示すクロック抽出装置は、サンプル回路110、データ変換部120、130および140、シリアライザ150を具備する。各ブロックには、図示しないPLL回路からの12相クロック信号CLKが供給される。

【0005】

サンプル回路110には、伝送路からのシリアルNRZ（Non Return to Zero）信号が入力される。サンプル回路110は、12相クロック信号CLKの立ち上がりエッジにより、入力信号の連続する4つのデータごとに3倍のオーバーサンプリングを行って量子化し、12ビットごとのパラレルデータに展開した第1データ列を生成する。

【0006】

データ変換部120は、サンプル回路110で得られた第1データ列間において隣り合うビット同士でEXOR処理を行い、これらの第1データ列における変化点を特定した第2データ列を生成する。データ変換部130は、データ変換部120で生成された第2データ列における各変化点から3ビット目とその前後ビットとを参照して、前後ビットに変化点がない場合は参照した3ビット目を境界点とし、前後ビットに変化点がある場合はその変化点のあるビットを境界点とし

た第3データ列を生成する。

【0007】

データ変換部140は、この第3データ列における境界点を基準にしてクロックビット列を生成する。そして、シリアライザ150は、データ変換部140からのクロックビット列を、12ビットパラレルデータから1ビットシリアルデータに変換し、これによりクロック信号CLKOUTが抽出される。

【0008】

【特許文献1】

特開2001-148692号公報（段落番号〔0021〕～〔0030〕、第12図）

【0009】

【発明が解決しようとする課題】

しかし、上記のように、シリアルデータをパラレルデータに展開した上でデータ処理を行うクロック抽出装置の場合、パラレル化されたデータのビット数が多いほどハードウェアの規模が増大してしまう。このため、オーバサンプリングの倍数を増加させ、クロック信号の抽出精度を高めることが難しい。また、伝送データが高速化されるのに従って、パラレル化されたデータの各ビットを処理する回路に対して、より精度よく位相をずらした多相クロックを出力可能なPLL回路が必要となる。従って、特に今後、さらに高速化された伝送データに対する受信回路に適用する場合に、回路規模や消費電力が増大し、精度を維持することが容易でないことが問題となっていた。

【0010】

本発明はこのような課題に鑑みてなされたものであり、回路規模を大きくすることなく、受信したシリアルデータからクロック信号を精度よく抽出することが可能なクロック抽出回路を提供することを目的とする。

【0011】

また、本発明の他の目的は、回路規模を大きくすることなく、受信したシリアルデータからクロック信号を精度よく抽出することが可能なクロック抽出方法を提供することである。

【0012】

【課題を解決するための手段】

本発明では上記課題を解決するために、入力されたNRZ方式のシリアルデータからこれに同期したクロック信号を抽出するクロック抽出回路において、前記シリアルデータの2N倍（ただし、Nは2以上の整数）の周波数の基準クロック信号を用いて前記シリアルデータをオーバーサンプリングするオーバーサンプリング手段と、前記オーバーサンプリング手段からの出力信号レベルが変化しない期間において前記基準クロック信号の2N周期のタイミングを検出する第1のタイミング検出手段と、前記オーバーサンプリング手段からの出力信号レベルが変化したタイミングを検出する第2のタイミング検出手段と、前記第1および第2のタイミング検出手段による各検出タイミングに応じてクロックタイミング信号を出力するクロックタイミング信号出力手段とを有することを特徴とするクロック抽出回路が提供される。

【0013】

このようなクロック抽出回路では、入力されたシリアルデータの2N倍の周波数の基準クロックを用いて、オーバーサンプリング手段によってこのシリアルデータに対するオーバーサンプリングが行われる。そして、第1のタイミング検出手段は、オーバーサンプリング後の信号のレベルが変化しない期間において基準クロック信号の2N周期のタイミングを検出し、これにより信号レベルが比較的長く変化しない期間におけるクロックタイミングが抽出される。また、第2のタイミング検出手段は、オーバーサンプリング後の信号のレベルが変化したタイミングを検出し、これにより信号レベルの変化点に基づくクロックタイミングが抽出される。クロックタイミング信号出力手段は、これらの第1および第2のタイミング検出手段による各検出タイミングに応じて、最終的なクロックタイミング信号を出力する。

【0014】

また、本発明では、入力されたNRZ方式のシリアルデータからこれに同期したクロック信号を抽出するクロック抽出方法において、前記シリアルデータの2N倍（ただし、Nは2以上の整数）の周波数の基準クロック信号を用いて前記シ

リアルデータをオーバサンプリングし、前記オーバサンプリングにより生成された信号のレベルが変化しない期間において検出した前記基準クロック信号の $2N$ 周期のタイミングと、前記オーバサンプリングにより生成された信号のレベルが変化したタイミングとに応じてクロックタイミング信号を生成することを特徴とするクロック抽出方法が提供される。

【0015】

このようなクロック抽出方法では、入力されたシリアルデータの $2N$ 倍の周波数の基準クロックを用いて、このシリアルデータに対するオーバサンプリングが行われる。そして、オーバサンプリング後の信号のレベルが変化しない期間における基準クロック信号の $2N$ 周期のタイミングが検出されることにより、信号レベルが比較的長く変化しない期間におけるクロックタイミングが抽出される。また、オーバサンプリング後の信号のレベルが変化したタイミングが検出されることにより、信号レベルの変化点に基づくクロックタイミングが抽出される。そして、これら 2 つの検出タイミングに応じて、最終的なクロックタイミング信号が生成される。

【0016】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。

図 1 は、本発明の実施の形態に係るクロック抽出回路の全体構成例を示すブロック図である。

【0017】

図 1 に示すクロック抽出回路は、伝送路を伝送された NRZ 方式のシリアルデータに対する受信回路等に設けられて、このシリアルデータからこれに同期するクロック信号を抽出するための回路である。このクロック抽出回路は、基準クロック信号 CLK を生成するクロック生成回路 10 と、基準クロック信号 CLK を用いて、入力されたシリアルデータをオーバサンプリングするオーバサンプリング回路 20 と、オーバサンプリング後の信号からレベル変化点を検出して、それぞれ異なるパルス幅の信号を出力する 1 周期エッジ抽出回路 30 および 2 周期エッジ抽出回路 40 と、2 周期エッジ抽出回路 40 の出力信号のエッジ間で、極性

を基準クロック信号 C L K の 2 周期ごとに反転させた信号を出力する 2 周期トグル回路 5 0 と、1 周期エッジ抽出回路 3 0 の出力信号を遅延させる 2 周期シフト回路 6 0 と、2 周期トグル回路 5 0 および 2 周期シフト回路 6 0 の各出力信号の論理和を演算する論理和回路 7 0 と、オーバサンプリング後の信号を遅延させる 1 周期シフト回路 8 0 とを具備する。

【0 0 1 8】

クロック生成回路 1 0 は、単相クロック信号を発生させる P L L 回路からなり、入力されるシリアルデータの 4 倍の周波数を有する基準クロック信号 C L K を生成して、クロック抽出回路内の各回路ブロックに供給する。例えば、入力されるシリアルデータの伝送速度を 5 0 0 M b p s とすると、クロック生成回路 1 0 から出力される基準クロック信号 C L K の周波数は 2 G H z とされる。

【0 0 1 9】

オーバサンプリング回路 2 0 は、直列に接続された複数段の D - F F (デイレイフリップフロップ) 回路等によってなり、クロック生成回路 1 0 からの基準クロック信号 C L K を用いて、入力されたシリアルデータに対して 4 倍のオーバサンプリングを行う。

【0 0 2 0】

1 周期エッジ抽出回路 3 0 および 2 周期エッジ抽出回路 4 0 は、オーバサンプリング回路 2 0 からの出力信号のレベル変化点を検出し、それぞれ基準クロック信号 C L K の 1 周期幅および 2 周期幅のパルス信号を出力する。

【0 0 2 1】

2 周期トグル回路 5 0 は、2 周期エッジ抽出回路 4 0 からの出力信号の立ち上がりエッジを起点として、次の立ち上がりエッジまでの間に、基準クロック信号 C L K の 2 周期ごとに出力レベルを反転させた信号を出力する。

【0 0 2 2】

2 周期シフト回路 6 0 は、1 周期エッジ抽出回路 3 0 の出力信号を、基準クロック信号 C L K の 2 周期分だけ遅延させる。論理和回路 7 0 は、2 周期トグル回路 5 0 および 2 周期シフト回路 6 0 からの各出力信号の論理和を演算し、抽出されたクロック信号 C L K O U T として出力する。

【0023】

1周期シフト回路80は、オーバサンプリング回路20からの出力信号を、基準クロック信号CLKの1周期分だけ遅延させ、抽出されたクロック信号CLKOUTに対応するデータDATAとして出力する。

【0024】

このクロック抽出回路では、クロック生成回路10によって生成される単相の基準クロック信号CLKを用いて、入力されたシリアルデータに対する4倍のオーバサンプリングが行われることにより、シリアルデータをパラレルデータに展開することなくクロック抽出を行うことができるとともに、その抽出処理を比較的単純な構成の回路によって実現することができる。また、オーバサンプリング後の信号を基に、2周期エッジ抽出回路40および2周期トグル回路50からなる経路と、1周期エッジ抽出回路30および2周期シフト回路60からなる経路のそれぞれでクロックタイミングを抽出し、その論理和をとって補正する構成により、単純な回路を用いながらクロック抽出の精度を向上させることができる。

【0025】

次に、このクロック抽出回路における主な回路ブロックの具体的な回路構成例について説明する。まず、図2は、1周期エッジ抽出回路30の回路構成例を示す図である。

【0026】

1周期エッジ抽出回路30は、図2に示すように、D-FF31とXOR（排他的論理和）ゲート32によって構成される。D-FF31は、クロック生成回路10からの基準クロック信号CLKによって動作し、オーバサンプリング回路20からの信号S1を基準クロック信号CLKの1周期分だけ遅延させる。また、D-FF31の出力信号と、オーバサンプリング回路20からの信号S1とが、XORゲート32にそれぞれ入力される。

【0027】

ここで、XORゲート32に入力される各信号間には、基準クロック信号CLKの1周期分の位相差が生じる。従って、これらの排他的論理和をとることで、信号S1の立ち上がりエッジおよび立ち下がりエッジを起点として、基準クロッ

ク信号CLKの1同期分の位相差に相当するパルス幅を有するパルス信号が出力される。

【0028】

次に、図3は、2周期エッジ抽出回路40の回路構成例を示す図である。

2周期エッジ抽出回路40は、図3に示すように、D-FF41および42と、XORゲート43および44と、OR（論理和）ゲート45によって構成される。この2周期エッジ抽出回路40は、2段の1周期エッジ抽出回路のそれぞれの出力に対する論理和をとる構成を有している。

【0029】

すなわち、D-FF41およびXORゲート43からなる1段目の1周期エッジ抽出回路は、オーバサンプリング後の信号S1の立ち上がりエッジおよび立ち下がりエッジから基準クロック信号CLKの1周期分のパルス信号を出力する。また、D-FF42およびXORゲート44からなる2段目の1周期エッジ抽出回路は、D-FF41によって基準クロック信号CLKの1周期分だけ遅延された信号を受けて同様に動作するので、XORゲート43からのパルス信号から1周期分だけ遅延された信号を出力する。従って、ORゲート45からは、信号S1の各エッジから基準クロック信号CLKの2周期分のパルス幅を有するパルス信号が出力される。

【0030】

次に、図4は、2周期トグル回路50の回路構成例を示す図である。

2周期トグル回路50は、図4に示すように、NOR（否定的論理和）ゲート51と、D-FF52および53によって構成される。NORゲート51の出力信号は、外部へ出力されるとともにD-FF52に入力され、D-FF52の出力信号はD-FF53に入力される。また、NORゲート51の一方の入力端子には、2周期エッジ抽出回路40からの信号S3が入力され、他方にはD-FF53の出力信号がフィードバックされる。

【0031】

この2周期トグル回路50では、入力される信号S3がHレベルの間は、NORゲート51の出力信号がLレベルに保持される。また、NORゲート51の出

力信号が、2 段の D - F F 5 2 および 5 3 によって基準クロック信号 C L K の 2 周期分だけ遅延され、この遅延された信号が N O R ゲート 5 1 にフィードバックされることから、信号 S 3 が L レベルのとき、N O R ゲート 5 1 から H レベルの信号が出力されると、この信号が 2 周期後に N O R ゲート 5 1 に再び入力されて、その出力が L レベルに変化する。そして、このとき出力された L レベルの信号はさらに 2 周期後に N O R ゲート 5 1 に入力され、出力が H レベルに変化する。

【 0 0 3 2 】

従って、2 周期トグル回路 5 0 からは、信号 S 3 の立ち下がりエッジから、次の立ち上がりエッジまでの間、基準クロック信号 C L K の 2 周期ごとに出力レベルが交互に反転された信号 S 4 が出力される。

【 0 0 3 3 】

なお、2 周期シフト回路 6 0 および 1 周期シフト回路 8 0 は、例えばそれぞれの遅延量に応じた数の D - F F 回路を直列に接続する等により実現される。

次に、図 5 は、クロック抽出回路内の各部における出力信号波形を示すタイムチャートである。以下、この図 5 を用いて、クロック抽出回路の動作について説明する。

【 0 0 3 4 】

図 5 では、入力されたシリアルデータがジッタを含んでいる場合の波形例を示している。図 5 において、オーバサンプリング後の信号 S 1 を参照すると、タイミング T 5 0 1 ~ T 5 0 6 の期間において受信されたデータのうち、2 番目の “ 1 ” 、3 番目の “ 0 ” 、および 5 番目の “ 0 ” の出力時間は、正しいデータ周期である基準クロック信号 C L K の 4 周期分より短くなっている。

【 0 0 3 5 】

ここで、まず、2 周期エッジ抽出回路 4 0 および 2 周期トグル回路 5 0 からなる第 1 の経路で抽出されるクロックタイミングについて説明する。この第 1 の経路では、入力信号において同じ出力レベルが連続した場合に、その期間においてクロックタイミングを抽出することが主な機能となる。

【 0 0 3 6 】

2 周期エッジ抽出回路 4 0 からの信号 S 3 は、オーバサンプリング後の信号 S

1の立ち上がりおよび立ち下がりの各エッジを起点として、基準クロック信号CLKの2周期幅のパルス幅を有している。このとき2周期トグル回路50は、2周期エッジ抽出回路40からの信号S3の立ち下がりエッジを起点として、基準クロック信号CLKの2周期ごとに出力レベルを反転させる。信号S4は4周期ごとにHレベルとなるため、信号S3がLレベルである期間において、データに同期するクロックタイミングが得られる。

【0037】

例えば、タイミングT501～T504の間では、信号S1がHレベルのままになっているが、信号S4は、この期間の立ち上がりエッジから2周期分遅延したタイミングT502でHレベルとされた後、4周期後のタイミングT503で再びHレベルとなり、元の信号S1にエッジが現れないにもかかわらず、クロックタイミングが抽出されている。

【0038】

ところで、2周期エッジ抽出回路40は、信号S1のエッジを2周期幅のパルス信号で出力することから、ジッタによってデータ周期が基準クロック信号CLKの1周期だけ短縮されて3周期幅になったとしても、元の信号S1から立ち上がりおよび立ち下がりのエッジ、すなわちクロックタイミングを抽出することができる。しかし、図中のタイミングT504～T505のように、データ周期が基準クロック信号CLKの2周期分以下になった場合には、信号S3のレベル変化が生じず、この期間のクロックタイミングを抽出することができない。

【0039】

そこで、このようなクロックタイミングの抽出漏れを補正するために、1周期エッジ抽出回路30および2周期シフト回路60からなる第2の経路が用いられる。図5のように、1周期エッジ抽出回路30からの信号S2では、元の信号S1から、タイミングT505のエッジを含むすべてのエッジが抽出されている。また、2周期トグル回路50からの信号S4により抽出されるクロックタイミングが、元の信号S1から基準クロック信号CLKの2周期分だけ遅延されるため、この遅延量に対応させて、1周期エッジ抽出回路30からの信号S2を2周期シフト回路60により2周期分だけ遅延させて、論理和回路70に供給する。

【0040】

以上のように、第1の経路および第2の経路を経て出力された信号S4およびS5が、論理和回路70を通過することにより、各経路で抽出されたクロックタイミングをすべて含むクロック信号CLKOUTが出力される。このクロック信号CLKOUTでは、図5に示すように、出力されるデータDATAが有するデータ周期に同期するクロックタイミングが、漏れなく抽出されている。

【0041】

なお、1周期シフト回路80は、オーバサンプリング後の信号S1を、基準クロック信号CLKの1周期分だけ遅延させて、抽出されたクロック信号CLKOUTに対応するデータDATAとして出力する。これにより、このクロック抽出回路の後段に設けられたラッチ回路において、クロック信号CLKOUTを用いてデータDATAを正確にラッチするためのマージンを確保することができる。また、出力したクロック信号CLKOUTについては、実際には、後段に設けたバッファメモリ等を用いて、クロック周期の補正が行われる。

【0042】

以上のクロック抽出回路では、第1の経路からの信号S4により抽出されたクロックタイミングが、第2の経路からの信号S5により補間されることから、漏れのない正確なクロック抽出を行うことができる。また、このような高精度のクロック抽出が、シリアルデータのままで、1周期エッジ抽出回路30、2周期エッジ抽出回路40、2周期トグル回路50、2周期シフト回路60および論理和回路70での比較的単純な処理によって行われるので、より高速に伝送されるデータに対しても、回路規模を大きく拡大せずに容易に適用することができ、消費電力の増大も防止される。

【0043】

なお、以上の実施の形態では、入力されたシリアルデータを4倍のサンプリング周波数でオーバサンプリングした場合の例について説明したが、他の倍数によるオーバサンプリングを行う場合にも適用可能である。ただし、オーバサンプリングの倍数に応じて、その後段の回路ブロックで出力するパルス幅や遅延量、トグル周期等を設定する必要がある。

【0044】

具体的には、上記の第1の経路上では、入力されたシリアルデータに同期するように、基準クロック信号CLKの上記倍数分の周期を発生させる必要がある。上記の実施の形態のように、トグル回路（2周期トグル回路50に対応）を用いた場合、このトグル回路においてデータを反転させる周期は、上記倍数の $1/2$ とされる。また、トグル回路の反転周期と、その前段（2周期エッジ抽出回路40に対応）のエッジ抽出時のパルス幅とは同一で、上記倍数の $1/2$ とされる。従って、オーバサンプリングの倍数は4以上でかつ2の倍数である必要がある。

【0045】

また、この倍数を $2N$ （ただし、 N は2以上の整数）とすると、第2の経路上では、論理和回路70に入力させるためシフト回路（2周期シフト回路60に対応）での遅延量をサンプリング周期の N 周期分とし、抽出されたクロック信号CLKOUTに対応するデータDATAを出力するためのシフト回路（1周期シフト回路80に対応）では、その遅延量をサンプリング周期の $(N-1)$ 周期分とすればよい。

【0046】**【発明の効果】**

以上説明したように、本発明のクロック抽出回路では、 $2N$ 倍の周波数の基準クロックを用いてシリアルデータに対するオーバサンプリングを行った後、第1のタイミング検出手段により、信号レベルが比較的長く変化しない期間におけるクロックタイミングが抽出され、第2のタイミング検出手段により、信号レベルの変化点に基づくクロックタイミングが抽出されて、これらの各検出タイミングに応じて最終的なクロックタイミング信号が出力される。このため、入力信号がジッタを含む場合にもクロックタイミングを漏れなく正確に抽出できるとともに、入力信号を平行化することなく、かつ単純な処理によってクロック抽出が行われる。従って、回路規模や消費電力が小さく、精度の高いクロック抽出回路が実現される。

【0047】

また、本発明のクロック抽出方法では、 $2N$ 倍の周波数の基準クロックを用い

てシリアルデータに対するオーバサンプリングを行った後、信号レベルが比較的長く変化しない期間におけるクロックタイミングと、信号レベルの変化点に基づくクロックタイミングとが抽出されて、これらの各検出タイミングに応じて最終的なクロックタイミング信号が生成される。このため、入力信号がジッタを含む場合にもクロックタイミングを漏れなく正確に抽出できるとともに、入力信号を平行化することなく、かつ単純な処理によってクロック抽出が行われる。従って、精度を高めながらも、回路規模や消費電力を小さくすることが可能となる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態に係るクロック抽出回路の全体構成例を示すブロック図である。

【図 2】

1 周期エッジ抽出回路の回路構成例を示す図である。

【図 3】

2 周期エッジ抽出回路の回路構成例を示す図である。

【図 4】

2 周期トグル回路の回路構成例を示す図である。

【図 5】

クロック抽出回路内の各部における出力信号波形を示すタイムチャートである。

【図 6】

従来のクロック抽出装置の構成例を示す図である。

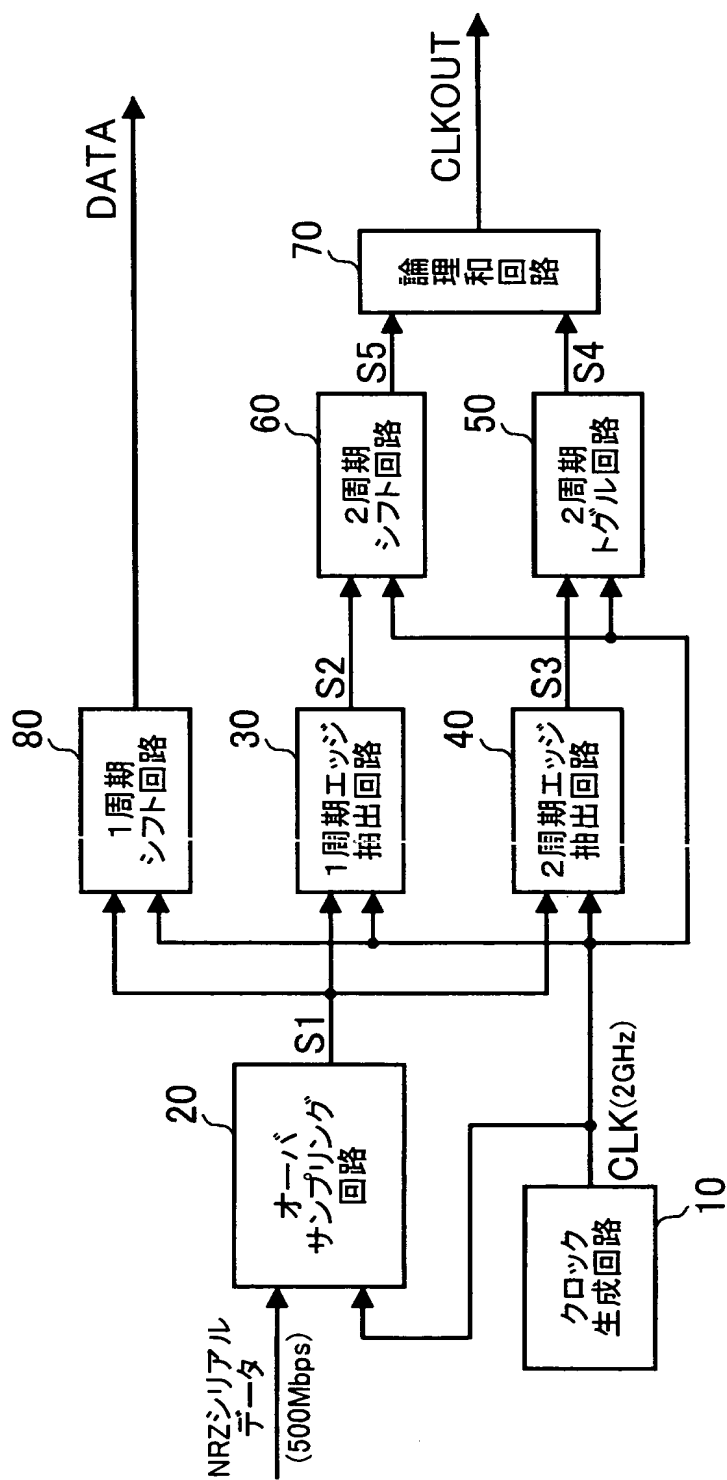
【符号の説明】

1 0 …… クロック生成回路、2 0 …… オーバサンプリング回路、3 0 …… 1 周期エッジ抽出回路、4 0 …… 2 周期エッジ抽出回路、5 0 …… 2 周期トグル回路、6 0 …… 2 周期シフト回路、7 0 …… 論理和回路、8 0 …… 1 周期シフト回路

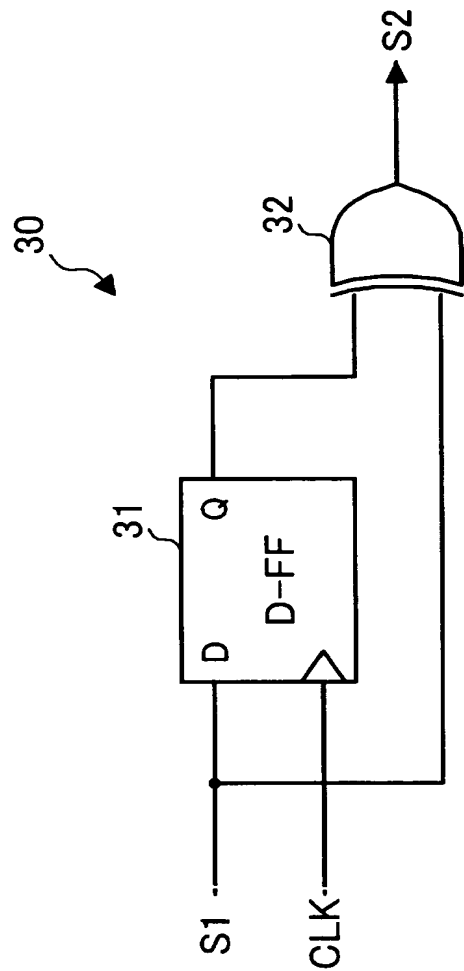
【書類名】

図面

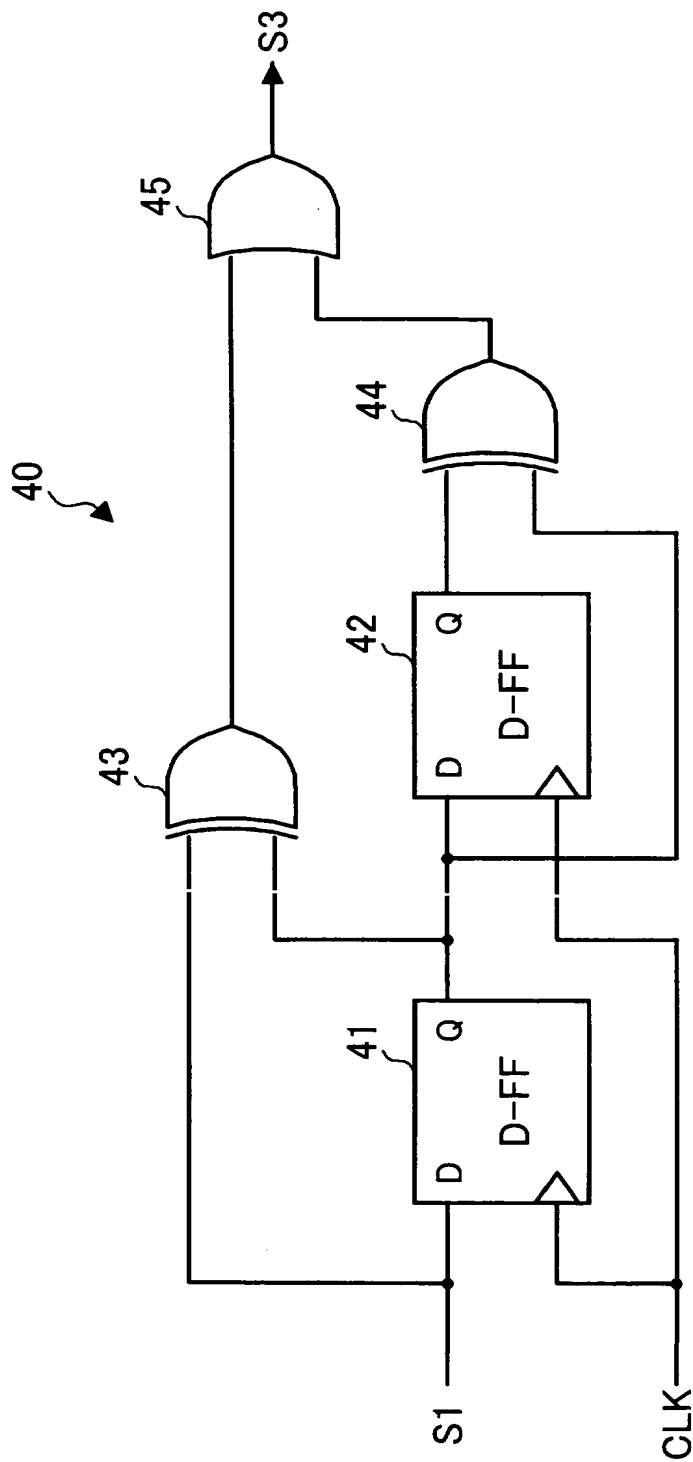
【図 1】



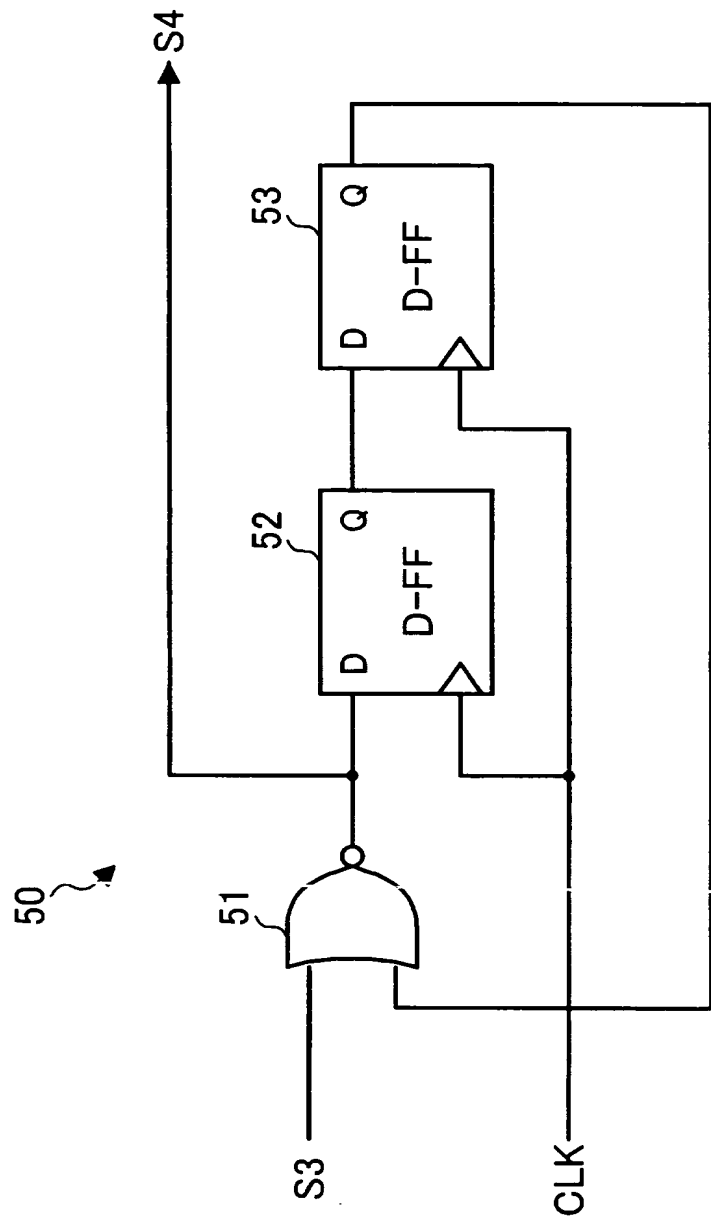
【図 2】



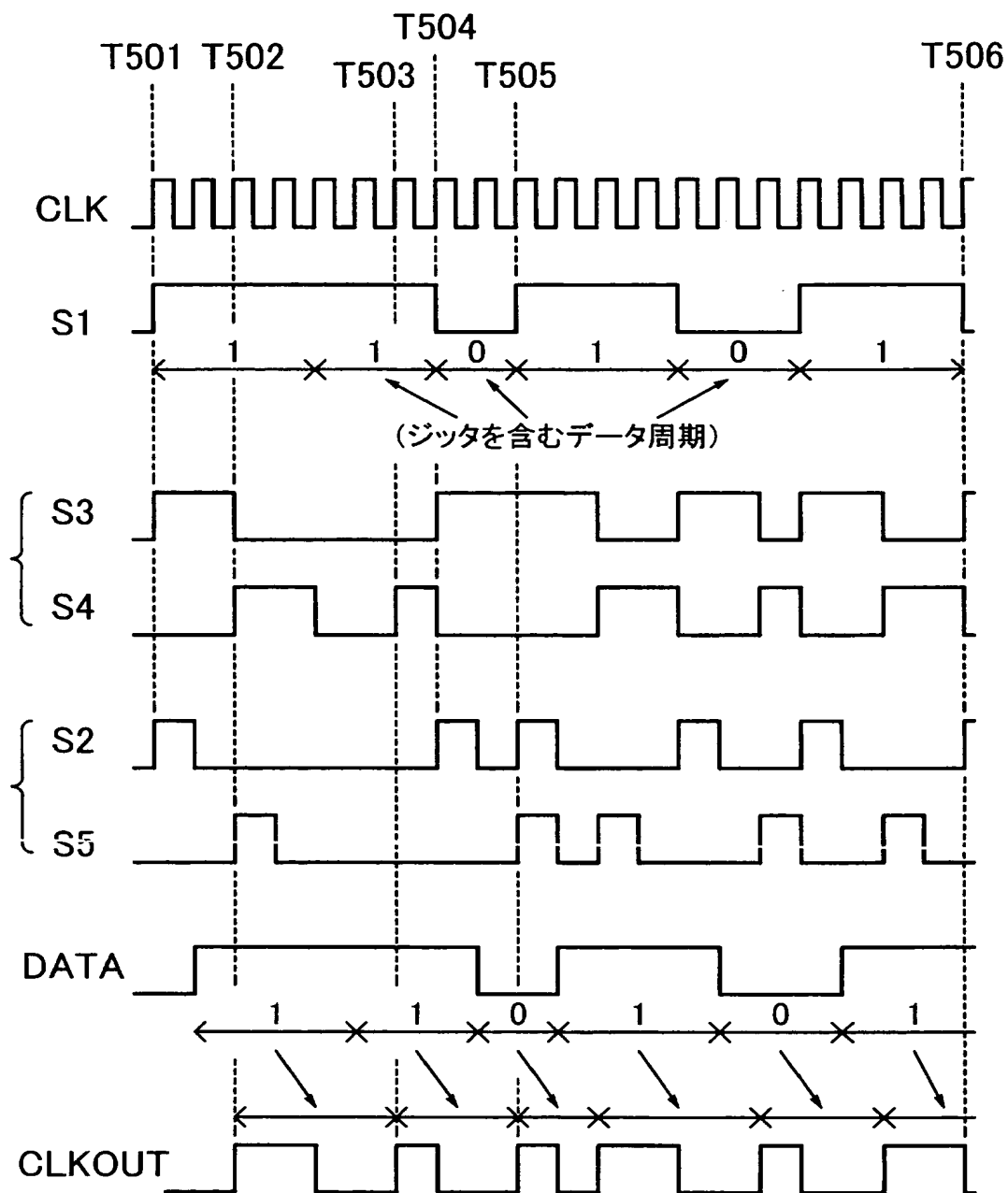
【図 3】



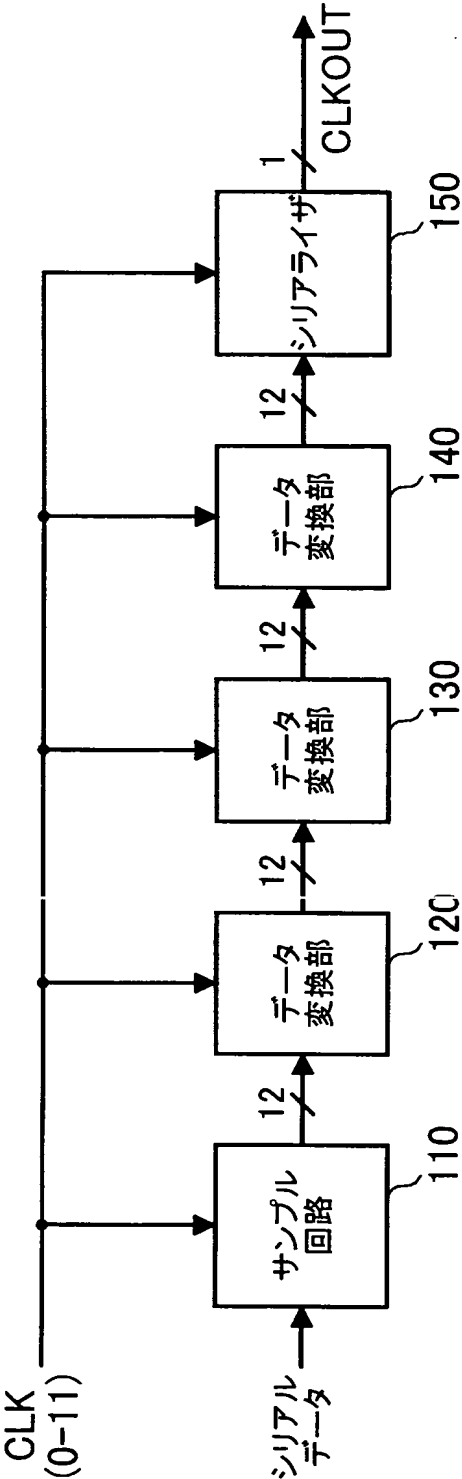
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 回路規模を大きくすることなく、受信したシリアルデータからクロック信号を精度よく抽出する。

【解決手段】 オーバサンプリング回路 2 0 は、クロック生成回路 1 0 からの基準クロック信号 C L K を用いて、入力されたシリアルデータに対して 4 倍のオーバサンプリングを行う。2 周期エッジ抽出回路 4 0 および 2 周期トグル回路 5 0 は、オーバサンプリング後の信号 S 1 のレベルが変化しない期間から、基準クロック信号 C L K の 4 周期タイミングを検出する。1 周期エッジ抽出回路 3 0 および 2 周期シフト回路 6 0 は、信号 S 1 のレベルが変化したタイミングを検出する。論理和回路 7 0 は、2 周期トグル回路 5 0 および 2 周期シフト回路 6 0 からの各信号 S 4 および S 5 の論理和を演算し、最終的なクロック信号 C L K O U T として出力する。

【選択図】 図 1

特願 2 0 0 3 - 0 7 9 7 0 6

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 1 8 5]

1. 変更年月日	1 9 9 0 年 8 月 3 0 日
[変更理由]	新規登録
住 所	東京都品川区北品川 6 丁目 7 番 3 5 号
氏 名	ソニー株式会社